

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-086179  
 (43)Date of publication of application : 30.03.2001

(51)Int.CI. H04L 27/22  
 H03G 3/20  
 H04B 1/16  
 H04L 5/16  
 H04L 25/03

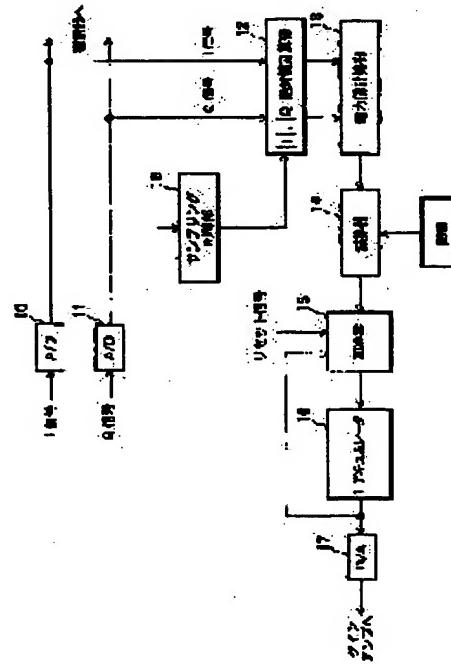
(21)Application number : 11-263544 (71)Applicant : SANYO ELECTRIC CO LTD  
 (22)Date of filing : 17.09.1999 (72)Inventor : YUASA YOSHIHIRO

## (54) AGC CIRCUIT AND COMMUNICATION TERMINAL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an AGC circuit by which a loop gain is changed between an initial acquisition time and a synchronization lock time of received data so as to keep a level of the received data to an optimum level at all times thereby decreasing the time up to synchronization establishment and to obtain a communication terminal provided with the AGC circuit.

**SOLUTION:** This communication terminal is provided with a power calculation section 13 that samples a receive signal at a prescribed sample internal to calculate the power of the received signal data, a subtractor 14 that calculates a difference between a preset power threshold value and the calculated power, an accumulator 16 that integrates the calculated difference, stores it, selects a prescribed bit string and outputs the selected string as a gain adjustment signal of the received signal, and a sampling control section 18 that changes the sampling interval to obtain the power of the received signal between the initial acquisition and the synchronization locking of the received signal so as to control the sampling interval of the received signal by the power calculation section. The gain of a gain amplifier is adjusted on the basis of the gain adjustment signal from the accumulator to amplify the received signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**BEST AVAILABLE COPY**

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-86179

(P2001-86179A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl.<sup>7</sup>  
H 04 L 27/22  
H 03 G 3/20  
H 04 B 1/16  
H 04 L 5/16  
25/03

識別記号

F I  
H 04 L 27/22  
H 03 G 3/20  
H 04 B 1/16  
H 04 L 5/16  
25/03

テマコード(参考)  
C  
C  
R  
D

審査請求 未請求 請求項の数 5 OL (全 9 頁)

(21)出願番号 特願平11-263544

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日 平成11年9月17日(1999.9.17)

(72)発明者 湯浅 良寛

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100097250

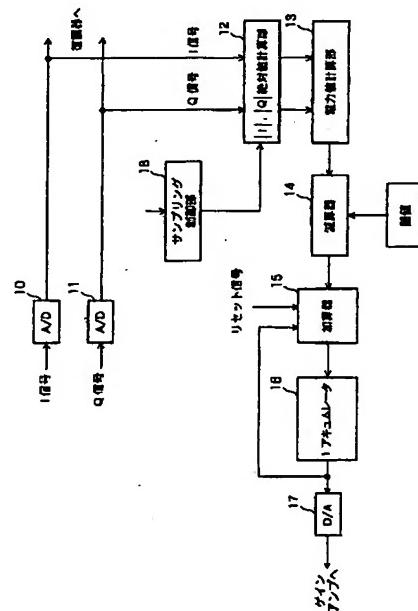
弁理士 石戸 久子 (外3名)

(54)【発明の名称】 AGC回路及び通信端末

(57)【要約】

【課題】 受信データの初期捕捉時と同期保持時とでループゲインを変更して受信データの信号レベルを常に最適なレベルに保ち同期確立までの時間を短くすることができるAGC回路とそのAGC回路を備えた通信端末を得る。

【解決手段】 受信信号を所定のサンプル間隔でデータサンプリングして受信信号データの電力値を演算する電力値計算部13と、予め設定された電力閾値と演算された電力値との差分を演算する減算器14と、演算された差分の値を積分して保持し所定のビット列を選択して受信信号のゲイン調節信号として出力するアキュムレータ16と、受信信号の初期補足のときと同期保持のときとで受信信号の電力を求めるサンプリング間隔を変えて電力値計算部による受信信号のサンプル間隔を制御するサンプリング制御部18と備え、アキュムレータからのゲイン調節信号に基づいてゲインアンプのゲインを調節して受信信号を増幅する。



【0005】このようなA G C ループの応答速度は、ループ利得  $k$  によって決定され、このループ利得  $k$  が大きければ大きいほどループの応答速度は早くなり、小さくなればなるほど応答速度は遅くなる。しかし、バースト信号に対応させるには、一般にループの応答速度を早くする必要があるが、ループ応答を早くすることはループ帯域を大きくすることと等価となる。このため、ループ内を通過する信号の振幅変動成分や受信信号に重畠される雑音成分もループを通過し、乗算器回路2 4で受信信号に付加されることになり、信号品質の劣化も生じる。このことから、バースト信号に高速に対応させるには限界があった。

【0006】このような観点から、図5に示す構成では、後述するようにして、初期状態においては、A G C ループは高速応答特性を持ち、高速応答後にはA G C ループ帯域が最小となりループ雑音の影響もなくなるようになっている。

【0007】領域判定回路1 8は、減算回路2 8の出力信号を基準値2及び基準値3と比較することよりレベルを判定し3状態の信号に変換する。この領域判定回路1 8により、減算回路2 8からの入力信号は基準値2、3に対して、図6に示すようにして判定される。ここで、C 1、C 2は領域判定回路1 8の出力信号の2ビット信号である。基準値2は基準値3より大きく設定されている。

【0008】すなわち、領域判定回路1 8は、減算回路2 8の出力信号が基準値2より大きい場合に出力符号C 1を0とし、出力符号C 2を0とし、減算回路2 8の出力信号が基準値3より小さい場合に出力符号C 1を1とし、出力符号C 2を0とし、かつ、減算回路2 8の出力信号が基準値2と基準値3との間の値である場合に出力符号C 1を0とし、出力符号C 2を1とする。

【0009】選択回路1 9は、減算回路2 8の出力信号を入力とし、入力符号C 1、C 2に対して、図7に示すように、ループ定数K 1、K 2、K 3のいずれかを選択する。これらのループ定数K 1、K 2、K 3は、 $K_1 > K_2 \geq K_3$ という関係に設定されている。図7に示すように、選択回路1 9は、入力符号C 1が0であって、入力符号C 2が0である場合にはループ定数K 1を選択し、入力符号C 1が0であって、入力符号C 2が1である場合にはループ定数K 2を選択し、入力符号C 1が1であって、入力符号C 2が0である場合にはループ定数K 3を選択する。

【0010】その結果、選択回路1 9は、減算回路2 8の出力信号が基準値2より大きい場合にループ定数K 1を選択し、減算回路2 8の出力信号が基準値3より小さい場合にループ利得K 3を選択し、かつ、減算回路2 8の出力信号が基準値2と基準値3との間の値である場合にループ定数K 2を選択する。選択回路1 9により、選択された信号はA G C ループのゲインを決定する乗算回

路2 9に入力される。

【0011】初めて信号を受信する場合、信号到達以前はせいぜい伝送路に存在する雑音成分が受信されているのみであるから受信電力は小さい。従って、加算回路2 7に現れる値は基準値3よりも小さく減算回路2 8の出力は負の値になる。基準値2と基準値3を用いる領域判定回路1 8は、減算回路2 8の出力レベルが基準値3以下であれば、図6に示すように、C 1 = 1, C 2 = 0を出力する。

10 【0012】このとき、選択回路1 9が図7に示すような選択を行うものとすると、ループ定数K 3が乗算回路2 9に入力される。前述したように、K 1 ~ K 3が $K_1 > K_2 \geq K_3$ という関係であると、A G C ループは最小の帯域に保たれている。積分回路3 0の入力はK 3が小さな値になっていても乗算回路2 9の出力信号は負の値であるため（入力が小さい）入力信号を大きくしようと乗算器回路2 4を最大利得を持つように制御する。

【0013】また、音声通信等では最初に通話が開始されるときには、シグナリング信号によって通話チャンネルが指定された後、実際の通信が開始される。この場合には、図5の積分回路3 0に接続されるリセット信号を用いて積分回路3 0の値を乗算器回路2 4の利得を最大とする値にセットすることが可能である。

【0014】信号が受信されると、受信電力を示す加算回路2 7には乗算器回路2 4が最大利得に設定されているため、大きな電圧が発生し減算回路2 8の出力は正の大きな値になる。このレベルが図6に示す論理で基準値2を上まわれば、C 1 = 0, C 2 = 0が領域判定され、選択回路1 9を制御し図7に従ってK 1が選択される。

30 このK 1は大きな値を有しているため、乗算回路2 9に入力された後は、A G C ループは高速ループとなる。

【0015】従って、入力信号に対して高速に応答するループが高速に応答すると、乗算器回路2 4によって復調回路3 1に入力される信号電力は急速に基準値に一致するため、減算回路2 8の出力は絶対値として小さな値となる。この信号が領域判定回路1 8の基準値2を下回りK 3より大きければ、出力符号はC 1 = 0, C 2 = 1となり、選択回路1 9を制御し、ループ定数K 2が選択される。この時、K 2はK 1に比して十分に小さな値であるため、A G C ループ内の雑音も十分に小さな値となり、信号劣化は最小に押さえられる。従って、高速同期が必要な場合にはA G C ループの帯域が大きくなり、一旦引き込んだ後は、A G C ループは小さな帯域となり信号劣化が最小になる。

【0016】次に、この受信バーストが無くなった場合を考える。受信信号がなくなると、減算回路2 8の出力は負の値に保たれる。この場合には多くの場合、減算回路2 8の出力は基準値3以下となり、選択回路1 9はK 3を選択し乗算回路2 9に入力する。K 3は十分小さな値であるため、乗算回路2 9に後続する積分回路3 0に

である。

【0030】このような構成によれば、初期補足時にループゲインを高速に大きくすることができ、同期保持時はループゲインを高速に小さくすることができる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本実施の形態に係る信号受信部の構成を示すブロック図である。図1に示す信号受信部の構成において、アンテナ1で受信されたデータは、低雑音アンプ2により増幅され信号レベルが増大する。その後、ミキサ3、4と90°移相器5の構成により、搬送波周波数と同じ周波数の互いに直交する周波数( $\sin \omega t, \cos \omega t$ )を低雑音アンプ2の出力に混合することにより、受信データは、同相、直交(I, Q)の中間周波数領域にそれぞれダウンコンバートされる。

【0032】ミキサ3、4によりダウンコンバートされた同相、直交信号は、後述するAGC回路で制御されるゲインアンプ6、7で、復調器にとって最適な信号レベルに変換される。その後、A/D変換器により同相、直交のアナログ信号(I, Q)はデジタル信号に変換される。変換されたデジタル信号は、この受信システムの復調方式に基づいた復調器およびAGC回路に送出される。

【0033】次に、図2は本実施の形態に係るAGC回路の構成を示すブロック図である。図2に示されるように、AGC回路に入った同相、直交信号(I, Q)は、A/D変換器10、11によりデジタル信号に変換される。そして、各データの電力値を求めるために、受信信号の絶対値を絶対値計算部12で算出し、さらに、受信信号データの電力値を、電力値計算部13で次の近似式を用いて求める。

$$[0034] \text{Max}\{|I|, |Q|\} + 1/2 \times \text{Min}\{|I|, |Q|\}$$

【0035】なお、 $\text{Max}\{|I|, |Q|\}$ と $\text{Min}\{|I|, |Q|\}$ は、それぞれ|I|と|Q|の大きい方、小さい方を選択することを表している。

【0036】そして、復調器にとって最適な信号レベルである電力閾値と前記のようにして求めた電力値との差を差分演算手段となる減算器14で求める。これにより、求められた差分の値が図1に示すゲインアンプ6、7の出力を増減する制御量となる。前記減算器14で求められた受信データと閾値との差分が、累積手段となる加算器15とアキュムレータ16とにより、適当な時間だけ積分され、積分された差分値は、アキュムレータ16に保持される。このアキュムレータ16の中から適当なビット列を選択し、AGC信号(ゲイン調節信号)として送出する。最後に、D/A変換器17によりアナログ変換し、図1に示すゲインアンプ6、7に出力される。

【0037】ところで、図2に示すAGC回路においては、前記処理を行う過程でデータのサンプル間隔を変えることで、アキュムレータ16に積分される値が変わってくる。つまり、同じ条件での受信データにおいて、ある積分期間で、サンプル間隔が短いとアキュムレータ16の上位ビットまで積分値が反映され、他方、サンプル間隔が長いと下位ビットにしか反映されない。これにより、ある所定のビット列を抽出すると、AGC信号としてサンプル間隔が短いと大きな制御量、逆に、サンプル間隔が長いと小さな制御量となる。これにより、AGC回路のループゲインを任意に変更することができる。図2に示すAGC回路においては、図示しない同期判定回路からの受信データの初期補足時と同期保持時の検出信号を入力してサンプル間隔を制御するサンプリング制御部18により、絶対値計算部12での演算間隔が制御されて、アキュムレータ16に積分される値が変わり、AGC信号(ゲイン調節信号)の制御量が変化する。

【0038】次に、図3に、本実施の形態に係るAGC回路が備えられる通信端末T1、T2での送受信データの関係と、図2に示す加算器15をリセットする周期について示す。ここで、通信端末T1、T2は、1つの回線を時分割して送信と受信に時間帯を割り当ててその割り当てられた時間帯で送信と受信を交互に切り替えて双方

向通信を行う送信系回路と受信系回路を備えたTDD(Time Division Duplex)制御による端末であり、例えばコードレス電話として用いられるものである。

【0039】通信端末T2が受信データを初めて受信するとき、すなわち、初期同期の際は高速に最適な信号レベルに調節し同期を確立したいので、前述したようにサンプル間隔を短くすると、受信信号レベルと電力閾値との差分が大きい場合には、アキュムレータ16に積分される値は大きな値になる。つまり、上位ビットまで反映されることになる。図中に示している加算器リセットは、加算器15を0にクリアすることを示しており、この時にゲインアンプ6、7に入力されるゲイン調整電圧が更新される。

【0040】前述のようなAGC回路の動作により、一旦同期がとれると、通信システムは同期保持状態に入る。この時、短期間の雑音等による信号レベルの変化があった場合、雑音によりAGC回路が反応してしまうと、雑音のないほとんどの信号のレベルも変わってしまう、最悪の場合、同期はずれが起こってしまう。このような事態を避けるために、AGC回路のループゲインを小さくする必要がある。そのために、サンプル間隔を長くとる。サンプル間隔が長いと、前述のサンプル間隔が短い場合に比べて、アキュムレータ16の上位ビットには積分値は反映されず、下位ビットの方に積分値が反映されることになる。この結果、AGC回路のループゲインは小さくなり、安定した同期保持が可能になる。

【0041】さらに、図4に、送信と受信を交互に切り

く、データのサンプル間隔を短くして大きな制御量のゲイン調節信号を出力し、一旦同期がとれ同期保持状態に入ったときは、安定した同期を保持すべく、受信データのサンプル間隔を長くして小さな制御量のゲイン調節信号を逆拡散部40に出力する。これにより、逆拡散部40は、常に最適なレベルの受信データを得ることができると。

## 【0050】

【発明の効果】以上のように、本発明によれば、受信データの初期捕捉時と同期保持時とでループゲインを変更して、受信データの信号レベルを常に最適なレベルに保つことができ、同期確立までの時間を短くして、初期捕捉時はAGCループの高速応答性を持ち、同期保持時にはAGCループの利得を小さくしてループ雑音の影響を除去し、安定した通信を確保できるAGC回路とそのAGC回路を備えた通信端末を得ることができる。

## 【図面の簡単な説明】

【図1】本発明の実施の形態で用いた信号受信部の構成を示すブロック図である。

【図2】本発明の実施の形態に係るAGC回路の構成を示すブロック図である。

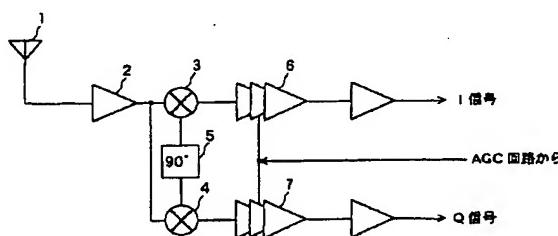
【図3】本発明の実施の形態に係るAGC回路が備えられる通信端末T1、T2での送受信データの関係と、図2に示す加算器15をリセットする周期について示す説明図である。

【図4】本発明の実施の形態に係る通信端末としてのコードレス電話機の構成を示すブロック図である。

【図5】従来のAGC回路の構成を示すブロック図である。

【図6】図5の領域判定回路18の入出力関係の説明図\*

【図1】



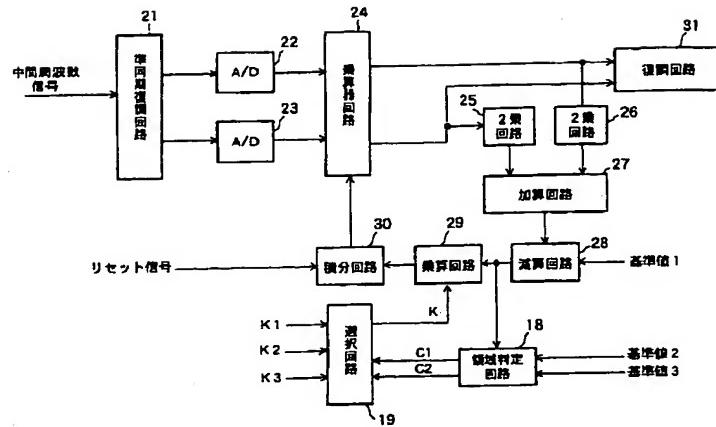
【図6】

領域判定器出力値		入力電圧
C1	C2	
0	0	基準値2以上
0	1	基準値2以下、基準値3以上
1	0	基準値3以下

【図7】

入力符号		出力値
C1	C2	
0	0	K1
0	1	K2
1	0	K3

[図5]



BEST AVAILABLE COPY